

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-334481

(43) 公開日 平成6年(1994)12月2日

(51) IntCl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 H 17/02

E 7037-5 J

M 7037-5 J

H 0 4 N 5/21

A

審査請求 未請求 請求項の数12 O L (全 24 頁)

(21) 出願番号 特願平6-93496

(22) 出願日 平成6年(1994)5月2日

(31) 優先権主張番号 0 5 8 9 0 3

(32) 優先日 1993年5月6日

(33) 優先権主張国 米国 (U S)

(71) 出願人 391000818

トムソン コンシューマ エレクトロニク
ス インコーポレイテッドTHOMSON CONSUMER EL
ECTRONICS, INCORPOR
ATEDアメリカ合衆国 インディアナ州 46290
-1024 インディアナポリス ノース・メ
リデアン・ストリート 10330

(72) 発明者 ボール ゴタード ナッソン

アメリカ合衆国 46219-6308 インディ
アナ州 インディアナポリス エス. エ
マーソン アヴェニュー 148

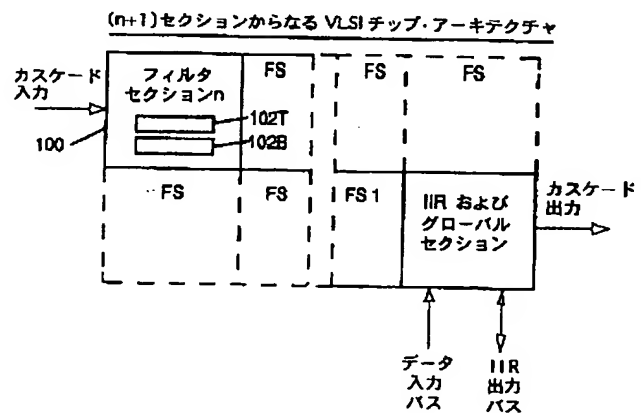
(74) 代理人 弁理士 谷 義一 (外1名)

(54) 【発明の名称】 再構成可能なプログラマブル・ディジタル・フィルタ・アーキテクチャ

(57) 【要約】

【構成】 単一 I I R 入力およびグローバル・セクションと、同一構造のカスケード接続可能フィルタ・セクション (F S) とからなり、各フィルタ・セクションがベアの時多重、実数倍率、入力重みづけ F I R フィルタ・ユニットと追加のディレイ手段を含んでいる V L S I 集積回路 (1 0 0) を構成する。

【効果】 V L S I 集積回路は、実数 F I R または I I R フィルタ、複素数 F I R または I I R フィルタ、あるいはこれらのフィルタの種々組合せからなるフィルタを定義できる、複数の異種フィルタ構成のいずれかで動作するように選択的にプログラムすることができる。この種の集積回路 (1 0 0) を 1 つまたは複数使用すると、ディジタル式ゴースト除去および／または等化フィルタを実現することができる。



【特許請求の範囲】

【請求項1】 マルチパス低減フィルタなどの等化フィルタとして使用するのに適した再構成可能なプログラム・デジタル・フィルタ・アーキテクチャであって、該アーキテクチャは、各々が所与の数の乗数係数タップをもつ第1および第2入力重みづけデジタル・フィルタ・ユニットを含むものにおいて、該アーキテクチャとの組合せ構造は、
信号を前記デジタル・フィルタへ供給するための入力手段と、

(1) 複素サンプル化入力信号については、前記所与の数の複素乗数係数をもつ単一複素数デジタル・フィルタ・ユニットとして動作するように前記第1および第2デジタル・フィルタ・ユニットを構成し、(2) 実数サンプル化入力信号については、該所与の数より大きい実数乗数係数をもつ別個の実数デジタル・フィルタ・ユニットとして動作するように該第1および第2デジタル・フィルタ・ユニットの少なくとも一方を構成するためのマルチプレクサ手段を有する手段と、
該デジタル・フィルタから信号を受信するための出力手段とを備えたことを特徴とするデジタル・フィルタ・アーキテクチャ。

【請求項2】 請求項1に記載のデジタル・フィルタ・アーキテクチャにおいて、前記第1および第2フィルタ・ユニットの各々における前記所与の数の乗数係数タップの各々は、第1マルチプライヤーアキュムレータ・レジスタと第2マルチプライヤーアキュムレータ・レジスタに関連づけられていることを特徴とするデジタル・フィルタ・アーキテクチャ。

【請求項3】 請求項2に記載のデジタル・フィルタ・アーキテクチャにおいて、構成(1)におけるマルチプレクサ手段を有する前記手段は、

(a) 第1および第2時多重クロック期間の各第1クロック期間の間に、各入力サンプルの実数成分の値を入力として前記第1フィルタ・ユニットへ印加すると共に、前記第1フィルタ・ユニットの各タップに関連づけられた第1レジスタの乗数係数の実数成分の値をその第1レジスタへ印加し、

(b) 前記第1および第2時多重クロック期間の各第1クロック期間の間に、各入力サンプルの虚数成分の値を入力として前記第2フィルタ・ユニットへ印加すると共に、該第2フィルタ・ユニットの各タップに関連づけられた第1レジスタの乗数係数の実数成分の値をそのタップへ印加し、

(c) 該第1および第2時多重クロック期間の各第2クロック期間の間に、各入力サンプルの虚数成分の値を入力として該第1フィルタ・ユニットへ印加すると共に、該第1フィルタ・ユニットの各タップに関連づけられた第2レジスタの乗数係数の虚数成分の値の負値をそのタップへ印加し、

(d) 該第1および第2時多重クロック期間の各第2クロック期間の間に、各入力サンプルの虚数成分の値を入力として該第2フィルタ・ユニットへ印加すると共に、該第2フィルタ・ユニットの各タップに関連づけられた第2レジスタの乗数係数の実数成分の値をそのタップへ印加するための手段を備えたことを特徴とするデジタル・フィルタ・アーキテクチャ。

【請求項4】 請求項3に記載のデジタル・フィルタ・アーキテクチャにおいて、マルチプレクサを備えた前記手段は、さらに、

第1手段であって、前記第1および第2クロック期間の各々の間に前記第1フィルタ・ユニットのそれぞれの出力を受けたとき、それに応答して、該第1および第2クロック期間のある特定のクロック期間の間に、該第1フィルタ・ユニットの前記それぞれの出力の総和に対応する値をもつ出力サンプルを該第1手段から得るための第1手段と、

第2手段であって、該第1および第2クロック期間の各々の間に前記第2フィルタ・ユニットのそれぞれの出力を受けたとき、それに応答して、該第1および第2クロック期間の前記ある特定のクロック期間の間に、該第2フィルタ・ユニットの前記それぞれの出力の総和に対応する値をもつ出力サンプルを該第2手段から得るための第2手段とを含むことを特徴とするデジタル・フィルタ・アーキテクチャ。

【請求項5】 請求項2に記載のデジタル・フィルタ・アーキテクチャにおいて、構成(2)におけるマルチプレクサ手段を有する前記手段は、

(a) 前記第1および第2時多重クロック期間の両クロック期間の間に、前記第1および第2フィルタ・ユニットの一方に関連づけられた各実数入力サンプルの値を入力としてそのフィルタ・ユニットへ印加し、

(b) 該第1および第2時多重クロック期間の各第1クロック期間の間に、前記所与の数の実数乗数係数の第1グループの各々の値を、前記一方のフィルタ・ユニットのタップに関連づけられた第1レジスタの対応するものへ印加し、

(c) 該第1および第2時多重クロック期間の各第2クロック期間の間に、該所与の数の乗数係数の第2グループの各々の値を、該一方のフィルタ・ユニットのタップに関連づけられた第2レジスタの対応するものへ印加するための第1手段と、

該第1および第2時多重クロック期間の各第1クロック期間の間に、該第1および第2フィルタ・ユニットの該一方のフィルタ・ユニットの各出力サンプルの入力を受けると、それに応答して、該第1および第2クロック期間の各第2クロック期間の間に、該第1および第2フィルタ・ユニットの該一方のフィルタ・ユニットを経由してその出力サンプルをフィードバックするための第2手段とを備えたことを特徴とするデジタル・フィルタ・

アーキテクチャ。

【請求項6】 請求項5に記載のデジタル・フィルタ・アーキテクチャにおいて、構成(2)におけるマルチプレクサ手段を備えた前記手段はさらに、

(d) 第1および第2時多重クロック期間の両クロック期間の間に、前記第1および第2フィルタ・ユニットの他方に関連づけられた各実数入力サンプルの値を入力としてその他方のフィルタ・ユニットへ印加し、

(e) 該第1および第2時多重クロック期間の各第1クロック期間の間に、前記所与の数の実数乗数係数の第3グループの各々の値を、前記他方のフィルタ・ユニットのタップに関連づけられた第1レジスタの対応するものへ印加し、

(f) 該第1および第2時多重クロック期間の各第2クロック期間の間に、該所与の数の実数乗数係数の第4グループの各々の値を、該他方のフィルタ・ユニットのタップに関連づけられた第2レジスタの対応するものへ印加するための第3手段と、

該第1および第2時多重クロック期間の各第1クロック期間の間に、該第1および第2フィルタ・ユニットの該他方のフィルタ・ユニットの各出力サンプルを、該第1および第2時多重クロック期間の各第2クロック期間の間に、該第1および第2フィルタ・ユニットの該他方のフィルタ・ユニットを経由してその出力サンプルをフィードバックするための第4手段とを備えたことを特徴とするデジタル・フィルタ・アーキテクチャ。

【請求項7】 請求項1に記載のデジタル・フィルタ・アーキテクチャにおいて、前記第1および第2フィルタ・ユニットの各々は、最小数と最大数のクロック期間の間で調節可能なプログラマブル・ディレイをその隣接タップ間に挿入するための手段を含むことを特徴とするデジタル・フィルタ・アーキテクチャ。

【請求項8】 請求項1に記載のデジタル・フィルタ・アーキテクチャにおいて、該アーキテクチャは、さらに、前記第1および第2デジタル・フィルタ・ユニットとマルチプレクサ手段を備えた前記第1手段とにそれぞれ対応する第3および第4デジタル・フィルタ・ユニットと、マルチプレクサ手段を備えた前記第1に引用した手段とを含み、前記組合せ構造は、さらに、該第1および第2デジタル・フィルタ・ユニットの少なくとも一方の出力を、前記第3および第4デジタル・フィルタ・ユニットの対応するものの入力に結合することによって、前記所与の数の二倍の乗数係数タップをもつ再構成可能プログラマブル・デジタル・フィルタを実現するためのカスケード接続手段を備えたことを特徴とするデジタル・フィルタ・アーキテクチャ。

【請求項9】 請求項8に記載のデジタル・フィルタ・アーキテクチャにおいて、前記カスケード接続手段は、最小数と最大数のクロック期間の間で調節可能なプログラマブル・バルク・ディレ

イを、前記第1および第2デジタル・フィルタ・ユニットの前記一方のデジタル・フィルタ・ユニットの前記出力と前記第3および第4デジタル・フィルタ・ユニットの前記対応するものの前記入力との間に挿入するための手段を含むことを特徴とするデジタル・フィルタ・アーキテクチャ。

【請求項10】 周期的にサンプルされる信号に対する再構成可能プログラマブル・デジタル・フィルタを定義するための所与のアーキテクチャをもつVLSI回路であって、各サンプル期間は2つの連続するクロック期間に分割され、前記所与のアーキテクチャは、第1の所与の複数のフィルタ・セクションと単一のIIR入力およびグローバル・セクションとを備え、

前記フィルタ・セクションの各々は、それぞれが第2の所与の複数のタップと、そのタップ間に2つのマルチプライヤーアキュムレータ・レジスタと、そのタップ間で、相対的に少数の第1および第2サンプル期間の間で調整可能であるプログラマブル・ディレイとをもつベアの第1および第2入力重みづけフィルタ・ユニットと、

(1) 複素数サンプリング入力信号については、各ベアの第1および第2デジタル・フィルタ・ユニットを、前記第2の所与の複数の複素数倍率をもつ単一複素数デジタル・フィルタ・ユニットとして構成し、(2) 実数サンプリング入力信号については、該第1および第2デジタル・フィルタ・ユニットの少なくとも一方を、該第2の所与の複数の二倍の実数乗数係数をもつ別個の実数デジタル・フィルタ・ユニットとして構成するためのプログラマブル・マルチプレクサ手段と、調整可能なサンプル・ディレイをあるクロック期間と相対的に多数のサンプル期間との間に挿入するためのプログラマブル・ディレイ手段とを含み、

前記単一IIR入力およびグローバル・セクションは、入力として印加されたサンプルの位相をプログラム可能に調整するための同位相および直角位相手段と、(1) 前記フィルタ・セクションの任意の1つの出力を入力として、前記同位相および直角位相手段へ選択的に印加し、(2) 前記第1所与の複数のフィルタ・セクションの少なくとも一部を選択的にカスケード接続して、該カスケード接続されたフィルタ・セクションを、特定の实数FIRまたはIIRフィルタ、複素数FIRまたはIIRフィルタ、あるいは実数および複素数FIRおよび/またはIIRフィルタの特定の組合せとして交互に構成するためのプログラマブル・ルーチング・マルチプレクサとを含むことを特徴とするVLSI回路。

【請求項11】 請求項10に記載のVLSI回路において、前記所与のアーキテクチャは、さらに、カスケード入力とカスケード出力を備え、前記プログラマブル・ルーチング・マルチプレクサは、さらに、該回路のフィルタ出力を該回路の前記カスケード出力に印加し、

これにより、該カスケード出力を該所与のアーキテクチャをもつ別のVLSI回路のカスケード入力へ転送することを特徴とするVLSI回路。

【請求項12】 請求項10に記載のVLSI回路において、

前記フィルタ・セクションの各々の前記プログラマブル・マルチプレクサ手段および前記プログラマブル・ルーチング・マルチプレクサは、前記フィルタ・セクションがディレイ・ラインとしてのみ機能して、前記カスケード入力と前記カスケード出力との間で未変更のままデータを受け渡すようにした省略時条件の構成を実現するように選択的に動作することを特徴とするVLSI回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、再構成可能なプログラマブル・デジタル・フィルタ・アーキテクチャに関する。

【0002】なお、本明細書の記述は本件出願の優先権の基礎たる米国特許出願第08/058,903号(1993年5月6日出願)の明細書の記載に基づくものであって、当該米国特許出願の番号を参照することによって当該米国特許出願の明細書の記載内容が本明細書の一部分を構成するものとする。

【0003】

【背景技術】送信側と1つまたは2つ以上の受信側との間で情報を通信するモードとしては、地上放送によるモード、通信衛星によるモード、および/またはケーブルによるモードがある。このようなモードで通信される情報としては、例えば、アナログ式NTSCテレビジョン信号、デジタル式HDTVテレビジョン信号、デジタル式移動電話信号などがある。受信信号は、多重伝搬経路(multipath)効果やその他の伝送効果が原因で、送信信号に対して歪みが生じる場合がある。公知のように、このような歪みは、受信側に適当な等化フィルタ(equalization filter)を設けることにより、受信側で最小にすることが可能である。具体的には、ゴースト除去フィルタ(deghost filter)と呼ばれるものが多重伝搬経路等化フィルタとして使用され、テレビジョン受像機に現れる多重伝搬経路歪みを最小化している。この種のゴースト除去フィルタの例としては、デジタル方式で実現されたものが、米国特許第5,065,242号(Dieterich他、1991年11月11日特許交付)に開示されている。

【0004】個々のテレビジョン・セットのゴースト除去フィルタやその他のタイプの等化フィルタ、あるいはかかるフィルタを内蔵した他のタイプの通信受信機の固有フィルタ特性は、受信側で受信された信号の歪みを効果的に最小化するためには、その特定受信機に合わせて調整することが好ましい。しかるに、テレビジョン・セットや移動電話は大量生産される製品であり、そのコストも最小化する必要がある。そこで必要とされているの

が、シングル・チップ(集積回路)アーキテクチャである。このアーキテクチャによると、この種のチップを1つまたは2つ以上で、ゴースト除去フィルタまたは他のタイプの等化フィルタの特性を具備する再構成可能なプログラマブル・デジタル・フィルタを実現することができる。しかも、これらの特性は、特定タイプの受信機で使用されるように別々に調整してチップに実装することが可能である。

【0005】

【発明の概要】本発明は、集積回路で実現可能なフィルタ・アーキテクチャを提供することを目的としている。このアーキテクチャによれば、第1および第2の入力重みづけデジタル・フィルタ・ユニット(input-weighted digital filter unit)と結合されたマルチプレクサ手段を含む手段を備え、各フィルタ・ユニットは所与の数の倍率(multiplier-coefficient)タップを有し、これによって、ゴースト除去フィルタとして使用するのに適した再構成可能プログラマブル・デジタル・フィルタを実現している。第1および第2デジタル・フィルタ・ユニットは、複素サンプリング入力信号(または、複素数サンプリング入力信号ともいう: complex sampled input signal)については、所与の数の複素数乗数係数(または複素数倍率ともいう: complex multiplier coefficient)をもつ単一複素数デジタル・フィルタ・ユニットとして動作するように、この組合せで構成することが可能であるが、これに代わる方法として、実数サンプリング入力信号(または、実数サンプリング入力信号ともいう: real sampled input signal)については、所与の数の二倍の実数倍率をもつ個別の実数デジタル・フィルタ・ユニットとして動作するように、この組合せで構成することも可能である。

【0006】

【実施例】デジタル・チャネル等化およびゴースト除去フィルタは、HDTV信号とNTSC信号のどちらの場合も、その信号の受信時に受信される、チャネルにおけるプリゴースト(preghost)、ポストゴースト(postghost)、その他の線形的チャネル障害のどのような組合せに対しても適応できるようになっていなければならない。これらのフィルタ・タイプが必要とされるのは、ポストゴースト、プリゴーストの減衰、およびチャネル等化を種々のアルゴリズムを用いて行うためである。チャネル等化は、高密有限インパルス応答(dense Finite Impulse Response- FIR)フィルタによって行われ、ポストゴースト打消しは散在FIRフィルタによって行われ、プリゴースト減衰は散在FIRフィルタによって行われる。さらに、デジタル化NTSC信号の値は実数値だけで定義され、実数値デジタル・フィルタだけを必要とするのに対し、デジタル化HDTV信号は複素数であり、複素数値デジタル・フィルタを必要とする。本発明は汎用フィルタ・アーキテクチャを目的としてお

り、このアーキテクチャによれば、上述したフィルタ・モードを種々に組み合わせてシングルVLSIチップ上に構築することができるので、チップを物理的に再配線する必要がない。このようにすると、低コストのシングル・フィルタ集積回路(IC)が得られ、ある特定の入力信号に最適なフィルタ・トポロジを選択することができる。

【0007】まず、図1を参照して説明する。図1に概略図で示すように、VLSIチップ100のエリアは、単一のIIR入力およびグローバル・セクション・サブエリアおよびフィルタ・セクション(FS)サブエリア1～nからなる(n+1)個のサブエリアに分割され、すべてのフィルタ・セクションは同一アーキテクチャになっている。データ入力バスからは、FIR構成中のトランスポーズ・アーキテクチャ・フィルタ(transposed architecture filter)へ入力データが与えられる。IIR出力バスからは、実装されたIIRフィルタのトランスポーズ・アーキテクチャ・フィルタの入力へIIR加算器(adder)の出力が送られる。バスは双方向で示されているが、これは、構成可能なマルチチップ・システムでは、IIR加算器がn個のチップの任意のチップ上に置かれる場合があるからである。原理的には、nの値は1まで小さくする個とが可能である(つまり、VLSIチップ100は、単一のフィルタ・セクションだけで構成することが可能である)。しかし、実際には、nの値は1より大きいのが普通である(VLSIチップ100は、所与の複数のフィルタ・セクションからなるのが通常である)。VLSIチップの実際の設計では、nの値は5になっている。しかし、本発明では、その説明の便宜上、図7、図8および図9～図16の例に示すように、nの値は3だけに限ることを想定している。

【0008】チップ100のn個のフィルタ・セクションの各々は、図1に示すように、入力重みづけのペアのフィルタ・ユニット102Tと102Bを含んでいる。さらに、これらのn個のフィルタ・セクションの各々は、入力マルチプレクサ、ルーチング・マルチプレクサ(routing multiplexer)、レジスタ、およびバルク・ディレイ(bulk delay)手段などの他の構造を備えている(これらは図1には示されていないが、図3、図4、図5、図6、図7、図8および図9～図16を参照してあとで詳しく説明する)。チップ100のIIR入力およびグローバル・セクションは、図7、図8および図9～図16を参照してあとで詳しく説明するが、(a) n個のフィルタ・セクションを選択的に相互接続し、(b) n個のフィルタ・セクションをFIRフィルタとして選択的にどれも動作させないか、その一部または全部を動作させ、および/またはn個のフィルタ・セクションをIIRフィルタとして選択的にどれも動作させないか、その一部または全部を動作させ、(c) チップ100のカスケード出力に転送されるフィルタ・セクション出力

を選択的に制御するためのルーチン・マルチプレクサと他の構造を含んでいる。

【0009】シングル・チップ100は、n個またはそれ以下のフィルタ・セクションを必要とするゴースト除去および/または等化フィルタの場合には、これだけで十分である。n個より多いフィルタ・セクションを必要とするゴースト除去および/または等化フィルタの場合には、図2に示すように、所与の複数のチップ100-1～100-mをカスケード接続することが可能である。この場合には、各チップのカスケード出力は、最後のチップ100-mの出力を除き、最初のチップ100-1のそれを除く各チップのカスケード入力へ転送される。

【0010】フィルタ・ユニット102Tおよび102Bの複素数構成および実数構成

ペアのフィルタ・ユニット102Tおよび102Bは、図3に示すように、複素数入力信号については、所与の数のタップをもつ単一複素数倍率入力重みづけディジタル・フィルタとして動作するように構成することも、図5に示すように、2つの独立実数入力信号については、所与の数の二倍のタップをもつ2つの独立実数倍率入力重みづけディジタル・フィルタとして動作するように構成することも、あるいは、4つの独立実数入力信号については、各々が所与の数のタップをもつ4つの独立実数倍率入力重みづけディジタル・フィルタとして動作するように構成することも可能である。

【0011】次に、図3は、入力マルチプレクサ200に関連づけられた上段実数倍率FIRフィルタ・ユニット102Tと下段実数倍率FIRフィルタ・ユニット102Bを示し、図4は、図3の構造のオペレーションを示すタイミング図である。フィルタ・ユニット102Tと102Bの各々は、図3に示すように、マルチタップ入力重みづけフィルタであり、各タップに関連づけられた2つのマルチプライヤーアキュムレータ・レジスタを備えている。入力信号は、例えば、テレビジョン信号のビデオ成分のソース(発生源)から与えられ、出力信号は、例えば、テレビジョン信号受信機内の信号処理回路に与えられる。連続する実数(R)および虚数(I)入力データは、フィルタ・クロック(Clk)レートの半分に相当する所与のサンプル・レートで、それぞれマルチプレクサ200の第1入力と第2入力に入力される。マルチプレクサ200は、Clkがそのスイッチ(S)入力に入力されると、それを受けて、連続する各サンプル期間の第1Clk期間(図4にSPと示している)の間に、R入力データ・サンプルを両方のフィルタ・ユニット102Tと102Bの入力へ転送し、連続する各サンプル期間の第2Clk期間の間に、I入力データ・サンプルを両方のフィルタ・ユニット102Tと102Bの入力へ転送する。図3には具体的に示されていないが、第1Clk期間の間に、該当値をもつ倍率Rがフィ

ルタ・ユニット102Tの各タップとフィルタ・ユニット102Bの各タップに関連づけられた2つのマルチプライヤー・アキュムレータ・レジスタの一番目へ入力される。第2C1k期間の間に、該当値をもつ倍率の負値-1がフィルタ・ユニット102Tの各タップに関連づけられた2つのマルチプライヤー・アキュムレータ・レジスタの二番目へ入力され、該当値をもつ倍率Rがフィルタ・ユニット102Bの各タップに関連づけられた2つのマルチプライヤー・アキュムレータの二番目へ入力される。

【0012】複素数倍率cの値は実数値Rと虚数値Iの両方を含んでおり、複素数入力サンプル i も実数値Rと虚数値Iの両方を含んでいる。従って、複素数倍率cに複素数倍率cをかけて求めた積 $(R + jI)$ 。 $(R + jI)_i$ は、 $(R_c R_i - I_c I_i) + j(R_c I_i + I_c R_i)$ に等しい。これに伴う複素数積計算を行うためには、4つのデジタル・フィルタ・ユニットが必要である。しかし、フィルタ・ユニット102Tと102Bは、タイム・マルチプレックス係数（または、時多重倍率ともいう：time-multiplexed coefficient）と2つのマルチプライヤー・アキュムレータ・レジスタをタップ間に採用することにより、これに伴う複素数積計算を2つのフィルタ・ユニット102Tと102Bだけを使用して行うことができる。

【0013】具体的には、各サンプル期間の第1C1k期間の間にフィルタ102Tから出力されるサンプルはRRであり、各サンプル期間の第2C1k期間の間にフィルタ102Bから出力されるサンプルは-RIである。これらをひとつにしたものは、図4のタイミング図にEEで示すように、各複素数出力サンプルの実数部分を表している。同様に、各サンプル期間の第1C1k期間の間にフィルタ102Bから出力されるサンプルはRIであり、各サンプル期間の第2C1k期間の間にフィルタ102Tから出力されるサンプルはIRである。これらをひとつにしたものは、図4のタイミング図にFFで示すように、各複素数出力サンプルの虚数部分を表している。

【0014】設計されたチップでは、フィルタ・ユニット102Tと102Bの各々は、3つのタップだけを備えている。このために、フィルタ全体は、カスケード接続された複数のフィルタ・ユニットがシングル・チップ上に、あるいは場合によっては、カスケード接続された複数のチップ上に実装されているのが普通である。前に置かれたフィルタ・セクションの対応するフィルタ・ユニット102Tの実数カスケード出力（Eで示す）は、図3のフィルタ・ユニット102TのSumin入力へ転送することができる。同様に、前に置かれたフィルタ・セクションの対応するフィルタ・ユニット102Bの虚数カスケード出力は、図3のフィルタ・ユニット102BのSumin入力へ転送することができる。

【0015】入力重みづけフィルタ・ユニット102Tまたは102Bへ転送されたSumin入力サンプル値の処理方法には、2通りの方法がある。最初の方法は図3には示されていないが、いずれかのフィルタ・セクションの入力重みづけフィルタ・ユニット102Tまたは102B内の内部でサンプル値が処理されるのと同じように、Sumin値を処理する方法である。もっと具体的に説明すると、フィルタ・ユニット102Tまたは102Bの各タップに関連づけられた多重化第1および第2マルチプライヤー・アキュムレータ・レジスタの各々は、現在の入力サンプル値にそれと関連づけられた倍率値をかけたあと、特定のC1k期間数だけ遅延させたあと、前に置かれたタップからそこへ転送されてきた、対応する多重化レジスタからの累積総和値にこの積の値を加える。この第1の方法では、前に置かれたフィルタ・セクションの対応するフィルタ・ユニットの多重化出力EEまたはFFから、ある特定のフィルタ・セクションのフィルタ・ユニットへのSumin入力EまたはFは、多重化形式でその特定フィルタ・セクションへ直接に転送される。この場合、このSumin入力の第1および第2C1k期間サンプル値は、それぞれ、第1マルチプライヤー・アキュムレータ・レジスタの総和値と、その特定フィルタ・セクションのフィルタ・ユニットの第1タップに関連づけられた第2マルチプライヤー・アキュムレータ・レジスタの総和値に加えられる。第2の方法では、図3に示すように、多重化出力EEとFFはデマルチプレックスされてから、後に続くフィルタ・セクションのフィルタ・ユニットのEおよびF Sumin入力へ転送される。これは、EEおよびFF出力をレジスタ202Tと202BでC1k期間だけ遅延させてから、遅延したEEおよびFF出力を加算器(summer)204Tと204Bで未遅延EEおよびFF出力に加えることによって行われる。この第2の方法では、加算器204TからのReal Out出力と加算器204BからのImag Out出力（図4にはOutで示されている）は、各サンプル期間SPの第1および第2C1k期間のうち選択された有効な期間（図4にはV部分として示されている）の間にだけ転送され、各サンプル期間SPの第1および第2C1k期間のうち選択されなかった無効な期間（図4にX部分として示されている）の間には転送されない。加算器204Tと204Bの各サンプル期間SPの第1および第2C1k期間のうち選択された有効な期間は、相互に同じである必要はない。

【0016】次に、図5を参照して説明する。図5に示す上段実数倍率FIRフィルタ・ユニット102Tおよび下段実数倍率FIRフィルタ・ユニット102Bは、上述した図3の所与の数のタップをもつ単一複素数倍率入力重みづけデジタル・フィルタとして多重動作するものと同じであるが、所与の数の二倍のタップをもつ2つの独立実数倍率入力重みづけデジタル・フィルタと

して多重動作するように再構成されている。図6は、図5の構造のオペレーションを示すタイミング図である。

【0017】図5は、入力マルチプレクサ300Tに関連づけられた上段フィルタ・ユニット102Tおよび入力マルチプレクサ300Bに関連づけられた上段実数倍率FIRフィルタ・ユニット102Bを示している。図3および図4に示すように、マルチプレクサ300Tと300Bは、どちらも、その動作の仕方は基本的にマルチプレクサ200に関して上述したものと同じであり、それぞれ、各サンプル期間SPの第1Clk期間の間に、フィルタ・ユニット102Tと102BのOut出力をそのSumin入力へフィードバックし、各サンプル期間SPの第2Clk期間の間に、前に置かれたフィルタ・セクションの対応するフィルタ・ユニットのカスケード出力をフィルタ・ユニット102Tと102BのSumin入力へ転送する。図5のフィルタ・ユニット102Tと102Bの各々はGG出力をドライブするので、連続するサンプル期間SPの第1Clk期間の間に、連続する入力サンプルの各々がこれらのフィルタを最初に通過するとき、所与の数の実数倍率をもつ入力重みづけフィルタとして動作する（第1Clk期間のGG出力の連続するサンプルは図6にP1で示されている）。それぞれのフィルタ・ユニット102Tと102BのGG出力の連続するサンプルP1の各々は、それぞれのレジスタ302Tと302BによってClk期間だけ遅延されたあと、連続するサンプル期間SPの第2Clk期間の間に、フィルタ・ユニット102Tと102Bを2回目に通過するときフィードバックされる（第2Clk期間のGG出力の連続するサンプルは図6にP2で示されている）。図5のフィルタ・ユニット102Tと102Bは、2回目の通過のときも、遅延された連続のP1サンプルの各々が2回目にフィルタ・ユニットを通過するとき、所与の数の実数倍率をもつ入力重みづけフィルタとして動作する。従って、連続する入力サンプルに対して、それぞれのフィルタ・ユニット102Tと102Bの各々は、所与の数の二倍の実数倍率をもつ入力重みづけフィルタとして動作して、連続するP2サンプルをドライブする。連続するサンプル期間の第1Clk期間の間にそれぞれのフィルタ・ユニット102Tと102BのOut出力に現れた連続する遅延P2サンプルは有効なV出力を構成し、連続するサンプル期間の第1Clk期間に現れたものは無効なX出力を構成する（図6）。

【0018】明らかなように、図5の構成に採用されている手法と同じような多重化（マルチプレクス）手法を用いると、フィードバックを使用しなくても、フィルタ・ユニット102Tと102Bが、各々が独自の所与の数の実数倍率をもつ、最高4つまでの独立実数FIRフィルタとして動作するように構成することが可能である。これとは別に、フィードバックを使用すると、フィ

ルタ・ユニット102Tと102Bは、これらの2フィルタ・ユニットの一方の出力サンプルをカスケード入力として、これらの2フィルタ・ユニットの他方へ転送するように構成できるので、これらのフィルタ・ユニットを、その各々の所与の数の実数倍率をもつ単一実数FIRフィルタとして動作させることができる。

【0019】再構成可能なプログラマブル・フィルタ・チップ・アーキテクチャの例：本発明の再構成可能プログラマブル・デジタル・フィルタ・アーキテクチャを実現するVLSIチップ設計で採用しているフィルタ・クロックは、28.636MHzであり、入力データ・サンプル・クロックは14.318MHz（つまり、フィルタ・クロック・レート半分）である。フィルタのプログラミングはソフトウェア制御のCPUによって決まる。上述の「概要」で述べたように、VLSIチップ設計は、単一のIIR入力およびグローバル・セクションと5つのフィルタ・セクションからなる6つのセクションを含み、これらのフィルタ・セクションはすべて同一のアーキテクチャになっている。これらのセクションの各々に実装される構造は非常に大量であるため、図7、図8および図9～図16では、各構造部品の名称を簡略化し、図7、図8および図9～図16に示す再構成可能フィルタ・チップ・アーキテクチャの実例を、3つのフィルタ・セクションだけに限定して、この構造全体が許される図面の紙面に収まるようにしている。このVLSIチップの名称は、複素数モードで使用することによって由来している。実数フィルタ・セクションとその関連ハードウェアはフィルタ・セクション102Tとその関連ハードウェアに関連づけて説明し、虚数フィルタ・セクションはフィルタ・セクション102Bに関連づけて説明する。以下は、図7、図8および図9～図16で使用されている簡略名称をリストしたものである。

【0020】1. フィルタ・セクションの簡略名称：FIRフィルター—図3および図5に示すものと類似の多重化FIRフィルタ・ユニット。これらの入力重みづけフィルタは、1から4までのサンプル期間のタップ間(inter-tap)プログラマブル・ディレイを備え、多重化倍率を含んでいる。「Input」（入力）は倍率マルチプライヤに接続され、「sumin」は第1倍率マルチプライヤの積に加えられ、「sumout」は最後の加算器の出力であり、サンプル期間の半分に相当するクロック期間だけ遅延されている。

【0021】RB[4..1]、IB[4..1]—実数および虚数入力マルチプレクサ・コントロール。各入力マルチプレクサには4つの入力がある。各マルチプレクサには4つの制御ビットがある。サンプル期間の第1および第2クロック期間T0とT1の各々で、異なるデータが入力マルチプレクサのコントロールに提示される。これにより、T0の期間に4つの入力選択の中から任意の入力を選択し、T1の期間に任意の入力を選択す

ることができる。このようにすると、デバイスをカスケード接続し、必要な動作モードをすべてサポートするために必要とされる柔軟性が簡単な方法で得られる。各入力マルチプレクサのコントロールは、4入力のうち有効な入力を定義している2つの制御ビット（これらはCPU制御ラインによって書き込まれる）を、任意のクロック期間T0の間、ストアしておくための第1ラッチと、4入力のうち有効な入力を定義している2つの制御ビット（これらはCPU制御ラインによって書き込まれる）を、任意のクロック期間T1の間、ストアしておくための第2ラッチとを備えている。

【0022】RIGeg, IIReg—実数および虚数入力データ・レジスタ。これはパイプライン・ディレイ

イ(pipeline delay)であり、また、データをフィルタ入力に入れるためのバッファでもある。これは、複素数モードのときは、クロック・レートでサンプリングするように、実数モードのときは、サンプル・レートでサンプリングするようにプログラムすることが可能である。

【0023】RM1, IM1—実数および虚数の実数／複素数モード・マルチプレクサ。実数モードは入力0にセットされ、複素数モードは入力1にセットされる。

【0024】RM2, IM2—実数および虚数出力マルチプレクサ。次に示す4オプションからデータ出力ソースを選択するためのものである。

【0025】

【表1】

オプション	実数モード機能	複素数モード機能
0	セクション間遅延2	セクション間遅延2
1	未使用	セクション間遅延1
2	セクション間遅延3-155	セクション間遅延3-155
3	セクション間遅延1	未使用

【0026】ROReg, IOReg—実数および虚数出力データ・レジスタ。

【0027】T0—サンプル期間の第1クロック期間。

【0028】T1—サンプル期間の第2クロック期間。

【0029】Tlena—T1でイネーブル。これは、サンプル・レートで動作するレジスタであり、T1クロック期間の間だけイネーブルされる。データは、サンプル期間の遷移のときだけ遷移する。バルク・ディレイ(bulk delay)は、クロック期間レートではなく、サンプル期間レートで動作する。これにより、バルク・ディレイ範囲0~152に加えられた第3の遅延が形成され、3~155の範囲が得られる。

【0030】 z^{-1} —クロック期間の遅延。この場合は、図7、図8および図9~図16ではスタンドアロンになっている。他の場合は、複素数のときは1クロック期間に、実数のときは1全サンプル期間(RIReg, IIReg)に、常に1全サンプル期間(Tlena)に、あるいは実数のときT1で、複素数のときT0でイネーブルされる1全サンプル期間(ROReg, IOReg)に調整することが可能である。この遅延で共通する定義は、遅延が単一のレジスタ・ステージだけで実現されていることである。

【0031】 z^{-3kr} , z^{-3ki} —実数および虚数プログラマブル・タップ間遅延。これは、実数モード構成だけで使用され、サンプル期間遅延範囲は0~3である。

【0032】 z^{-RDEL} , z^{-IDEL} —実数および虚数バ

ルク・ディレイ・レジスタ。0~152サンプル期間遅延の範囲でプログラム可能である。

【0033】2. IIR入力およびグローバル・セクションの簡略名称: ISC, QSC—同位相スケール・コントロール(In-phase Scaling Control)および直角位相スケール・コントロール(Quadrature Scaling Control)。このマルチプレクサは、すべてのIIR倍率が1、1/2、または1/8以下であるとき、IIRフィードバック・データをシフトして、追加の精度が得られるようにする。FIRのみモードのときは、入力に0を選択すると好都合である。このマルチプレクサは静的に制御され、スイッチに似た働きをする。

【0034】M2—直角位相(虚数)カスケード・ソース・セレクト。M5と併用され、任意のフィルタ・セクションまたはIIR加算器出力またはゼロを、チップの入力フィルタ・セクション(図1ではフィルタ・セクションn、図7、図8および図9~図16ではフィルタ・セクション3)のsumin入力にカスケード接続することができる。RBおよびIBと同様に、このマルチプレクサは、各クロック期間サイクルごとに、異なる入力を交互に選択することができる。これが必要になるのは、ある種の複素数モード構成のカスケード接続の場合である。

【0035】M3—同位相(実数)カスケード・ソース・セレクト。M4と併用され、任意のフィルタ・セクションまたはIIR加算器出力またはゼロを、チップの入力フィルタ・セクション(図1ではフィルタ・セクションn、図7、図8および図9~図16ではフィルタ・

セクション3)の sumin 入力にカスケード接続することができる。RBおよびIBと同様に、このマルチプレクサは、任意の入力クロック期間サイクルを交互に選択することができる。これが必要になるのは、ある種の複素数モードのカスケード接続の場合である。

【0036】M4—同位相(実数)セクション・セレクト。任意の実数(同位相)ハーフ・フィルタ・セクションの出力または実数IIR加算器出力を選択してM3をドライブする。

【0037】M5—直角位相(虚数)セクション・セレクト。任意の虚数(直角位相)ハーフ・フィルタ・セクションの出力または虚数IIR加算器出力を選択してM2をドライブする。

【0038】M6—同位相(実数)出力セレクト。任意の実数ハーフ・フィルタ・セクションの出力または実数IIR加算器出力を選択して、Iout端子から出力する。

【0039】M7—直角位相(虚数)出力セレクト。任意の虚数ハーフ・フィルタ・セクションの出力または虚数IIR加算器出力を選択して、Qout端子から出力する。

【0040】M8—FIR入力マルチプレクサ。FIRモードでは、入力データはIIRフィルタ出力または位相ロテータ(phase rotator)出力のどちらかから得られる。どちらの場合も、入力データはIIRフィルタ加算器を経由して送られる。他方のIIR加数はフィルタが純FIRであれば、ISCおよびQSCによって0にセットされる。実数モードでは、どちらかの加算器をデータ・ソースとして使用できる。複素数モードでは、M8は、サンプル期間レートの二倍であるクロック期間レートで実数および虚数データを多重化することにより、入力データを多重化フィルタ・セクションに合った形式にする。

【0041】TOena_z—サンプル期間のT0クロック期間にイネーブルされるレジスタ。

【0042】3. チップ・システム入力および出力の簡略名称: 0—値がゼロの定数。

【0043】I1, I2, I3—同位相(実数)フィルタ・セクション1, 2, 3の出力。

【0044】Iout—同位相フィルタ出力。

【0045】Iph—位相ロテータからIIR加算器への同位相入力。実数モードで実数入力として使用される。

【0046】Isumin—同位相カスケード入力。実数モード構成で実数のみカスケード入力として使用される。

【0047】MIO—多重化フィルタ入出力。複素数モードでは実数/虚数多重化信号、実数モードでは実数信号。これは、アクティブなIIRフィードバック加算器が実装されたチップでは出力となり、他のチップで

は、すべて入力となる。MIOenaは出力機能をイネーブルする。

【0048】MIOena—MIOバスの出力機能をイネーブルする。

【0049】Q1, Q2, Q3—直角位相フィルタ・セクション1, 2, 3の出力。

【0050】Qout—直角位相フィルタ出力。

【0051】Qph—位相ロテータからIIR加算器への直角位相入力。

【0052】Qsumin—直角位相カスケード入力。

【0053】図7, 図8および図9～図16の各々には、3つのフィルタ・セクションと単一のIIR入力およびグローバル・セクションからなる同一チップ・アーキテクチャが示されているが、このチップ・アーキテクチャは、9種類のフィルタ構成のうちの特定の構成に再構成されるように選択的にプログラムされている。あるいは、別の方法として、チップへのカスケード入力を、フィルタリングを行うことなく、ある程度遅延させてからチップのカスケード出力へ転送するだけにするようにプログラムされている。ソフトウェア制御によるCPUは、(1)各サンプル期間のそれぞれのクロック期間T0とT1の間に、各フィルタ・セクションの各入力マルチプレクサの入出力接続を判断し、(2)各フィルタ・セクションの各ルーチング・マルチプレクサRM1、IM1、RM2、IM2の入出力接続を判断し、(3)単一IIR入力およびグローバル・セクションの各ルーチング・マルチプレクサISC、QSC、M2、M3、M4、M5、M6、M7、M8の入出力接続を判断し、(4)複素数同位相回転倍率の同位相(実数)Iph部分と直角位相(虚数)Qph部分を判断することだけで、この選択的プログラミングを実行する。

【0054】公知のように、NTSCテレビジョン信号は実数信号であり、複素数信号ではない。この場合、3つのフィルタ・セクションと単一IIR入力およびグローバル・セクションは、実数(複素数でなく)フィルタに構成されていることが必要である。図7に示すチップ・アーキテクチャ構成は、IIRフィルタがFIRフィルタより少ないフィルタ・セクションを使用している場合の例であり、実数IIRフィルタと、そのあとに置かれた実数FIRフィルタとからなっている。図7において、FIRはすべての虚数セクションと、セクション3の実数ハーフとから作られている。さらに、入力データは、複素数位相回転倍率値 $1 - 2^{-10} + j0$ (ただし、 $1 - 2^{-10}$ は1に最も近い値であり、これは11桁の有効数字からなる ± 2 進数形式で表すことができる)を与えることによって、IIR入力加算器の実数サイドに投入される。IIR出力はMIOバスによってフィードバックされ、FIRフィルタの第1セクションはフィルタ・セクション3の虚数(下段)ハーフによって実現され

ている。フィルタ・セクション1の虚数ハーフの出力は、フィルタ・セクション3の実数sumin（上段）へフィードバックされる。FIRフィルタ出力は、フィルタ・セクション3の実数出力から取り出される。

【0055】図8に示すチップ・アーキテクチャ構成は、IIRフィルタがFIRフィルタより多いフィルタ・セクションを使用する場合の例であり、実数IIRフィルタと、そのあとに置かれた実数FIRフィルタとからなっている。図8は、すべてのフィルタ・セクションの虚数ハーフとフィルタ・セクション1の実数ハーフを用いた実数IIRフィルタを示す具体図である。FIRフィルタは、フィルタ・セクション1と2の実数ハーフから構成されている。実数入力データは、複素数位相回転係数値 $0 + j(1 - 2 - 10)$ を与えることによって、IIR入力加算器の虚数サイドに入力される。いつもと同じように、IIR出力はMIOバスによってフィードバックされる。

【0056】図9～図16は、現在開発されているHDTVテレビジョンおよび／またはNTSCテレビジョン用のゴースト除去および／または等化フィルタとして使用すると便利な他の構成例を示したものである。これらのフィルタとしては、実数フィルタ、複素数フィルタ、およびこれらのフィルタを組み合わせたものがある。

【0057】図9は、複素数IIRフィルタ構成の例を示す図である。この構成では、チップ全体が複素数IIRフィルタとしてプログラムされている。図示のように、セクション1と2は z^{-1} ディレイだけを備え、セクション3はバルク・ディレイによってセクション2から分離されている。Isumin端子とQsumin端子はカスケード接続する場合を除き、未使用になっている。入力データはVLSIチップのIおよびQ入力端子に現れ（図示せず）、フィルタ出力はIoutおよびQoutから取り出される。RIRegおよびIIRegはすべて、T0とT1の両クロック期間の間にクロックがとられるように構成されており、RORegとIORegはT0クロック期間の終了時にだけクロックがとられるように構成されている。

【0058】図10は、複素数IIRフィルタが複素数FIRフィルタと共にワン・チップ上に実装されている構成例を示す図である。この構成では、フィルタ・セクション1と2はIIRフィルタ・モードになっており、他方、セクション3は3タップFIRとして構成されている。位相調整入力データはIphとQphに現れ、出力データはIoutとQoutから取り出される。IoutとQoutには、フィルタ・セクション3からの出力が入力される。RIRegとIIRegはすべて、T0とT1の両クロック期間の間にクロックがとられるように構成されており、RORegとIORegは、T0クロック期間の終了時にだけクロックがとられるように構成されている。フィルタ・セクション2は、1サン

プル期間（つまり、eクロック期間）の z^{-1} ディレイによってフィルタ・セクション1から分離され、他方、フィルタ・セクション1はバルク・ディレイを使用して3～155サンプル期間の総遅延を得てから、入力データへ加えられる。このことから理解されるように、セクション3の複素数出力データの回復には、遅延が伴うことになる。セクション3を次のチップにカスケード接続する場合は、複素数成分（つまり、4つの倍率／データの積RR、-II、RIおよびIR）は出力バス経由で渡すことができる。この例はスタンドアロン構成であるので、実数および虚数フィルタ出力は出力の前に計算される。この遅延は単なる信号の遅れである。

【0059】図11は、複素数IIRフィルタと、そのあとに置かれて複素数IIR出力の実数部分を処理する実数FIRフィルタとからなる構成例を示す図である。この構成では、フィルタ・セクション1と2は複素数IIRを計算し、フィルタ・セクション3は12タップ実数FIRを計算する。セクション3からのバルク・ディレイRDELは、実数FIRの2つの6タップ・セクションを時間的に分離するために使用できる。実数フィルタから実数出力データだけを得るには、出力端子へのバルク・ディレイ経路を使用する必要がある。カスケード接続されている場合は、入力セクションは中間タップ情報をゼロにする。セクション3のRIRegとIIRegは、実数のみのオペレーションのときは、T1クロック期間の間だけイネーブルされる。セクション3のRORegとIORegは、実数のみのオペレーションのとき常にイネーブルされる。セクション1と2のRIRegとIIRegは常にイネーブルされ、セクション1と2のRORegとIORegはT0のときだけイネーブルされる。複素数IIRフィルタの虚数出力は、多重化出力バスMIOとチップのQout端子から得られる。

【0060】図12は、複素数IIRフィルタと、そのあとに置かれたハーフ複素数FIRフィルタとからなる構成例を示す図である。この構成では、フィルタ・セクション1はIIRフィルタを計算し、フィルタ・セクション2と3は12タップ・ハーフ複素数FIRフィルタを計算する。12タップFIRフィルタは、9タップ等化器として構成され、3タップ・プリゴースト減衰器はフィルタ・セクション3のバルク・ディレイIDELによって等化器から分離されている。実数出力はIoutに現れる。虚数IIR出力は多重化MIOバスとQout端子から得られる。FIRフィルタ・セクションはカスケード接続されている。バルク・ディレイが必要なときは、実数データに実数倍率をかけて求めた総和と虚数データに虚数倍率をかけて求めた総和を減算する必要があり、実数結果全体はバルク・ディレイにストアされる。直接カスケード接続するには、実数データに実数倍率をかけたものと虚数データに虚数倍率をかけたものの部分総和を多重化形式で転送する必要がある（実数に実

数をかけたものをT0クロック期間に、虚数に虚数をかけたものをT1クロック期間に転送する)。

【0061】図13は、単一実数FIRフィルタからなる構成例を示す図である。この構成では、Iphへの入力はすべてのフィルタ入力へ送られる。この実数FIRフィルタの有効な第1フィルタ・セクションはフィルタ・セクション3の虚数ハーフである。フィルタ・セクション1の虚数ハーフはフィルタ・セクション3の実数ハーフへ送り返され、出力はフィルタ・セクション1の実数ハーフから取り出される。

【0062】図14は、単一複素数FIRフィルタからなる構成例を示す図である。この構成は、上述した説明から当然に理解されるはずである。

【0063】図15は、ハーフ複素数FIRフィルタからなる構成例を示す図である。この構成では、複素数データはIphおよびQphへ入力される。このデータはT0とT1クロック期間でM8によって多重化された実数/複素数となって、すべてのフィルタ・セクション1、2および3の入力へ送られる。フィルタ・セクション3の虚数ハーフは有効な第1FIRフィルタ・セクションであり、フィルタ・セクション1の虚数ハーフの出力はフィルタ・セクション3の実数ハーフへフィードバックされ、実数出力はフィルタ・セクション1の実数ハーフから取り出される。

【0064】図16は、単にディレイ・ラインとして動作することによって、データを未変更のままチップの入力と出力間で伝達する構成例を示す図である。これは、チップの電源始動時に行われる省略時の状態である。データが未変更のまま渡されるのは、特殊な制御信号が電源始動時に現れて、マルチプレクサISCおよびQSCに入力されてこれらのマルチプレクサが0値をIIR加算器へ送ると、倍率がすべてゼロにセットされるためである。また、この特殊制御信号が現れると、IphおよびQphによって定義された複素数倍率の値は、0ではなく、 $1 - 2^{-10} + j0$ になるためである。この省略時オペレーションにより、データはチップ上の入力からsumoutへ渡され、データはリプルしてFIRフィルタのsuminを経由して次のsumoutへ渡される。

【0065】本発明のフィルタ・アーキテクチャは、図7、図8および図9～図16に示す特定実施例に限定されるものではない。実数FIRまたはIIRフィルタ、複素数FIRまたはIIRフィルタ、あるいはこれらのフィルタを種々に組み合わせたフィルタを構成する、入力重みづけ多重化フィルタ・ユニット・ペアのフィルタ構成は、6セクションVLSIチップ設計により、さまざまな種類のものやより大規模なものを実現することが可能である。また、この種のチップを複数カスケード接続することにより、さらに大規模なフィルタ構成を実現することが可能である。

【0066】最後に、上述した実施例と請求項1、10との対応関係を、カッコ書きを用いて以下に示す。

【0067】(請求項1) マルチバス低減フィルタなどの等化フィルタとして使用するのに適した再構成可能なプログラマブル・デジタル・フィルタ・アーキテクチャであって、該アーキテクチャは、各々が所与の数の乗数係数タップをもつ第1および第2入力重みづけデジタル・フィルタ・ユニットを含むものにおいて、該アーキテクチャとの組合せ構造は、信号を前記デジタル・フィルタへ供給するための入力手段と、(1)複素サンプリング入力信号については、前記所与の数の複素乗数係数をもつ単一複素数デジタル・フィルタ・ユニット(100)として動作するように前記第1(102T)および第2(102B)デジタル・フィルタ・ユニットを構成し、(2)実数サンプリング入力信号については、該所与の数より大きい実数乗数係数をもつ別個の実数デジタル・フィルタ・ユニット(100)として動作するように該第1(102T)および第2(102B)デジタル・フィルタ・ユニットの少なくとも一方を構成するためのマルチプレクサ手段(200, 202T, 202B, 300T, 302T, 300B, 302B)を有する手段と、該デジタル・フィルタから信号を受信するための出力手段とを備えたことを特徴とするデジタル・フィルタ・アーキテクチャ。

【0068】(請求項10) 周期的にサンプリングされる信号に対する再構成可能プログラマブル・デジタル・フィルタを定義するための所与のアーキテクチャをもつVLSI回路(図1, 図7, 図8, 図9～図16)であって、各サンプリング期間は2つの連続するクロック期間に分割され、前記所与のアーキテクチャは、第1の所与の複数のフィルタ・セクションと単一のIIR入力およびグローバル・セクションとを備え、前記フィルタ・セクションの各々は、それぞれが第2の所与の複数のタップと、そのタップ間に2つのマルチプライヤー・アキュムレータ・レジスタと、そのタップ間で、相対的に少数の第1および第2サンプリング期間の間で調整可能であるプログラマブル・ディレイとをもつペアの第1および第2入力重みづけフィルタ・ユニット(102T, 102B)と、(1)複素数サンプリング入力信号については、各ペアの第1および第2デジタル・フィルタ・ユニットを、前記第2の所与の複数の複素乗数係数をもつ単一複素数デジタル・フィルタ・ユニットとして構成し、(2)実数サンプリング入力信号については、該第1および第2デジタル・フィルタ・ユニットの少なくとも一方を、該第2の所与の複数の二倍の実数乗数係数をもつ別個の実数デジタル・フィルタ・ユニットとして構成するためのプログラマブル・マルチプレクサ手段と、調整可能なサンプリング・ディレイをあるクロック期間と相対的に多数のサンプリング期間との間に挿入するためのプログラマブル・ディレイ手段とを含み、前記単一IIR入

力およびグローバル・セクションは、入力として印加されたサンプルの位相をプログラム可能に調整するための同位相 (Iph) および直角位相 (Qph) 手段と、

(1) 前記フィルタ・セクションの任意の1つの出力を入力として、前記同位相および直角位相手段へ選択的に印加し (ISC, QSC)、(2) 前記第1所与の複数のフィルタ・セクションの少なくとも一部を選択的にカスケード接続して、該カスケード接続されたフィルタ・セクションを、特定の実数 FIR または IIR フィルタ、複素数 FIR または IIR フィルタ、あるいは実数および複素数 FIR および/または IIR フィルタの特定の組合せとして交互に構成する (M2~M8) ためのプログラマブル・ルーチング・マルチプレクサ (ISC, QSC, M2~M8) とを含むことを特徴とする VLSI 回路。

【図面の簡単な説明】

【図1】 n 個のフィルタ・セクションをもつ再構成可能プログラマブル・ゴースト除去フィルタを効率的に実現するのに適した (n+1) セクション VLSI チップのアーキテクチャの概要を示す系統図である。

【図2】 図1に示したこの種のチップを複数採用した回路構成を示す系統図である。

【図3】 図1に示した n 個のフィルタ・セクションの各々で採用されている実数倍率 FIR フィルタ・ユニット・ペアからなる第1構成を示す系統図である。

【図4】 図3の動作を示すタイミング図である。

【図5】 図1に示した n 個のフィルタ・セクションの各々で採用されている実数係数 FIR フィルタ・ユニット・ペアからなる第2構成を示す系統図である。

【図6】 図5の動作を示すタイミング図である。

【図7】 ゴースト除去/等化フィルタとして使用するのに適し、その各々が単一グローバル・セクションと3つの同一構造フィルタ・セクションからなる異なるプログラマブル構成によって VLSI チップ上に実現可能である種々タイプのフィルタの一実施例を示す詳細系統図である。

【図8】 ゴースト除去/等化フィルタとして使用するのに適し、その各々が単一グローバル・セクションと3つの同一構造フィルタ・セクションからなる異なるプログラマブル構成によって VLSI チップ上に実現可能である種々タイプのフィルタの一実施例を示す詳細系統図である。

【図9】 ゴースト除去/等化フィルタとして使用するのに適し、その各々が単一グローバル・セクションと3つの同一構造フィルタ・セクションからなる異なるプログラマブル構成によって VLSI チップ上に実現可能である種々タイプのフィルタの一実施例を示す詳細系統図である。

【図10】 ゴースト除去/等化フィルタとして使用する

のに適し、その各々が単一グローバル・セクションと3つの同一構造フィルタ・セクションからなる異なるプログラマブル構成によって VLSI チップ上に実現可能である種々タイプのフィルタの一実施例を示す詳細系統図である。

【図11】 ゴースト除去/等化フィルタとして使用するのに適し、その各々が単一グローバル・セクションと3つの同一構造フィルタ・セクションからなる異なるプログラマブル構成によって VLSI チップ上に実現可能である種々タイプのフィルタの一実施例を示す詳細系統図である。

【図12】 ゴースト除去/等化フィルタとして使用するのに適し、その各々が単一グローバル・セクションと3つの同一構造フィルタ・セクションからなる異なるプログラマブル構成によって VLSI チップ上に実現可能である種々タイプのフィルタの一実施例を示す詳細系統図である。

【図13】 ゴースト除去/等化フィルタとして使用するのに適し、その各々が単一グローバル・セクションと3つの同一構造フィルタ・セクションからなる異なるプログラマブル構成によって VLSI チップ上に実現可能である種々タイプのフィルタの一実施例を示す詳細系統図である。

【図14】 ゴースト除去/等化フィルタとして使用するのに適し、その各々が単一グローバル・セクションと3つの同一構造フィルタ・セクションからなる異なるプログラマブル構成によって VLSI チップ上に実現可能である種々タイプのフィルタの一実施例を示す詳細系統図である。

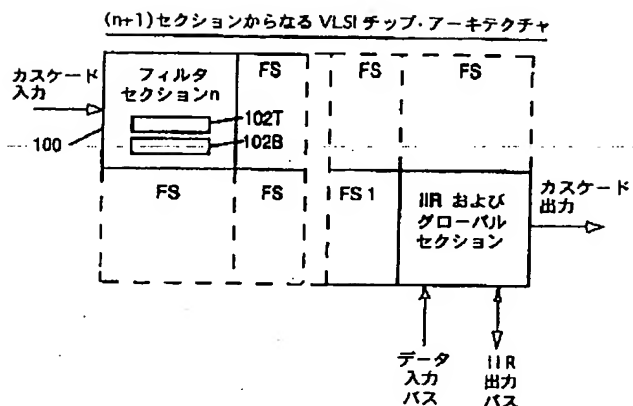
【図15】 ゴースト除去/等化フィルタとして使用するのに適し、その各々が単一グローバル・セクションと3つの同一構造フィルタ・セクションからなる異なるプログラマブル構成によって VLSI チップ上に実現可能である種々タイプのフィルタの一実施例を示す詳細系統図である。

【図16】 ゴースト除去/等化フィルタとして使用するのに適し、その各々が単一グローバル・セクションと3つの同一構造フィルタ・セクションからなる異なるプログラマブル構成によって VLSI チップ上に実現可能である種々タイプのフィルタの一実施例を示す詳細系統図である。

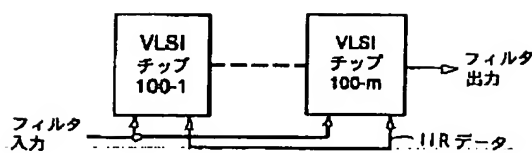
【符号の説明】

100 VLSI チップ
102B 入力重みづけフィルタ・ユニット
102T 入力重みづけフィルタ・ユニット
200 マルチプレクサ
300B 入力マルチプレクサ
300T 入力マルチプレクサ

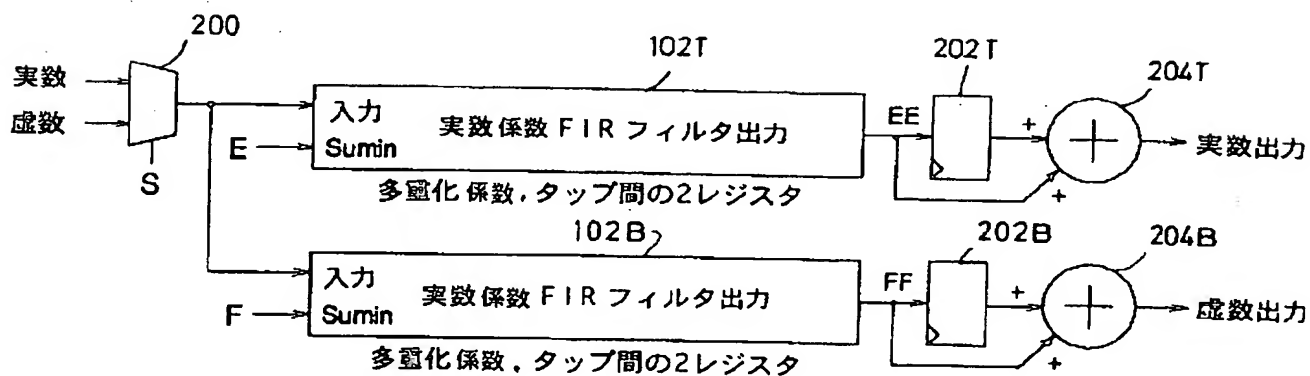
【図 1】



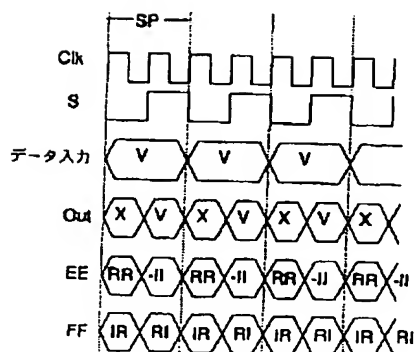
【図 2】



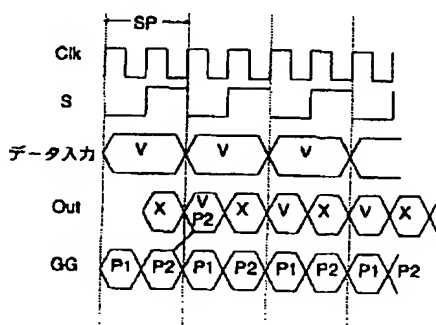
【図 3】



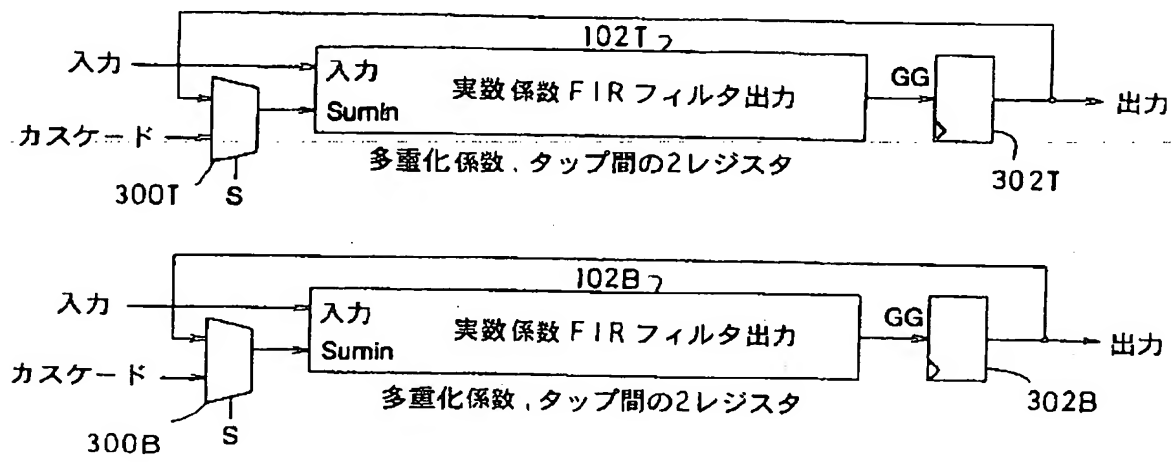
【図 4】



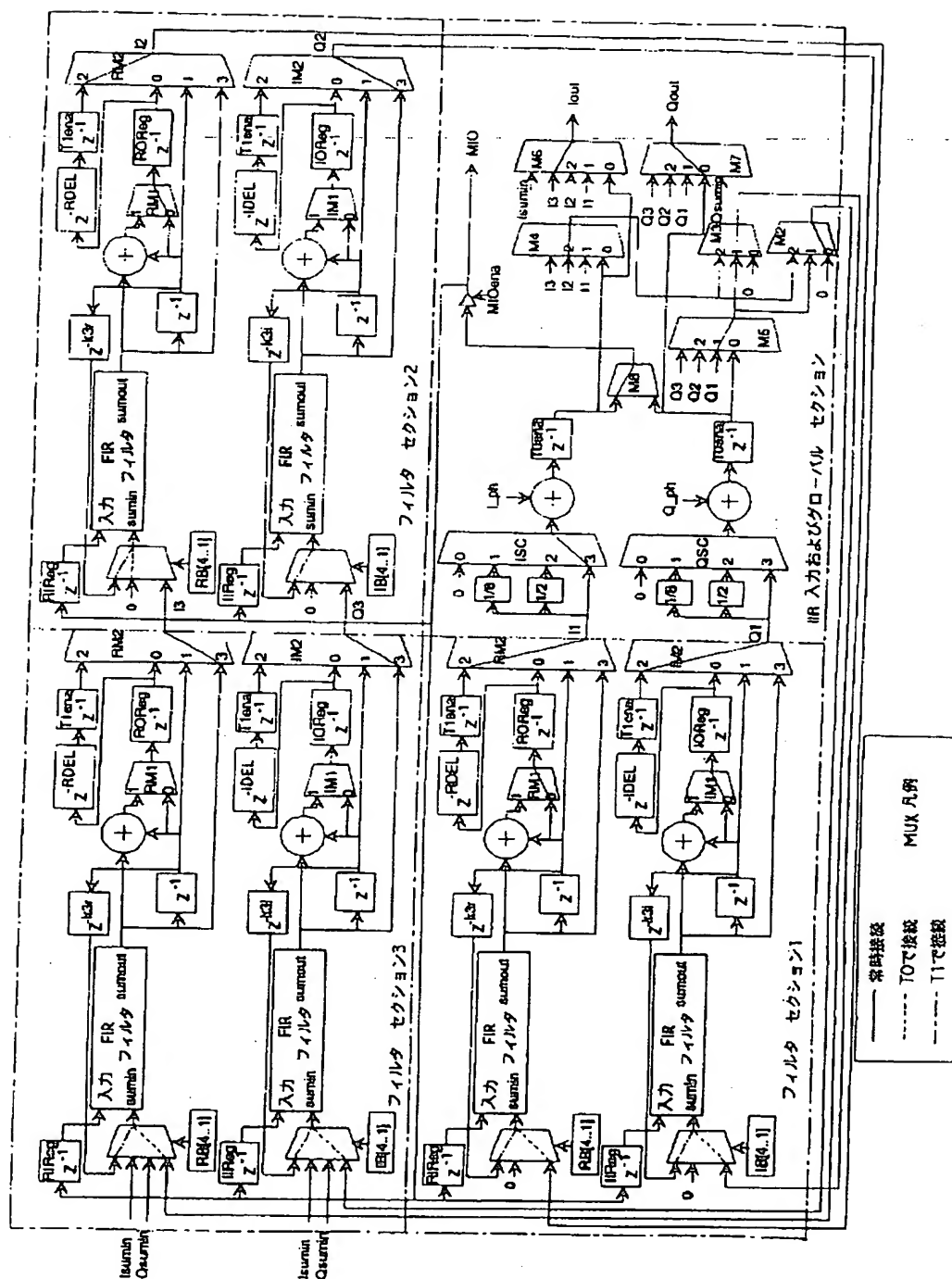
【図 6】



【図5】

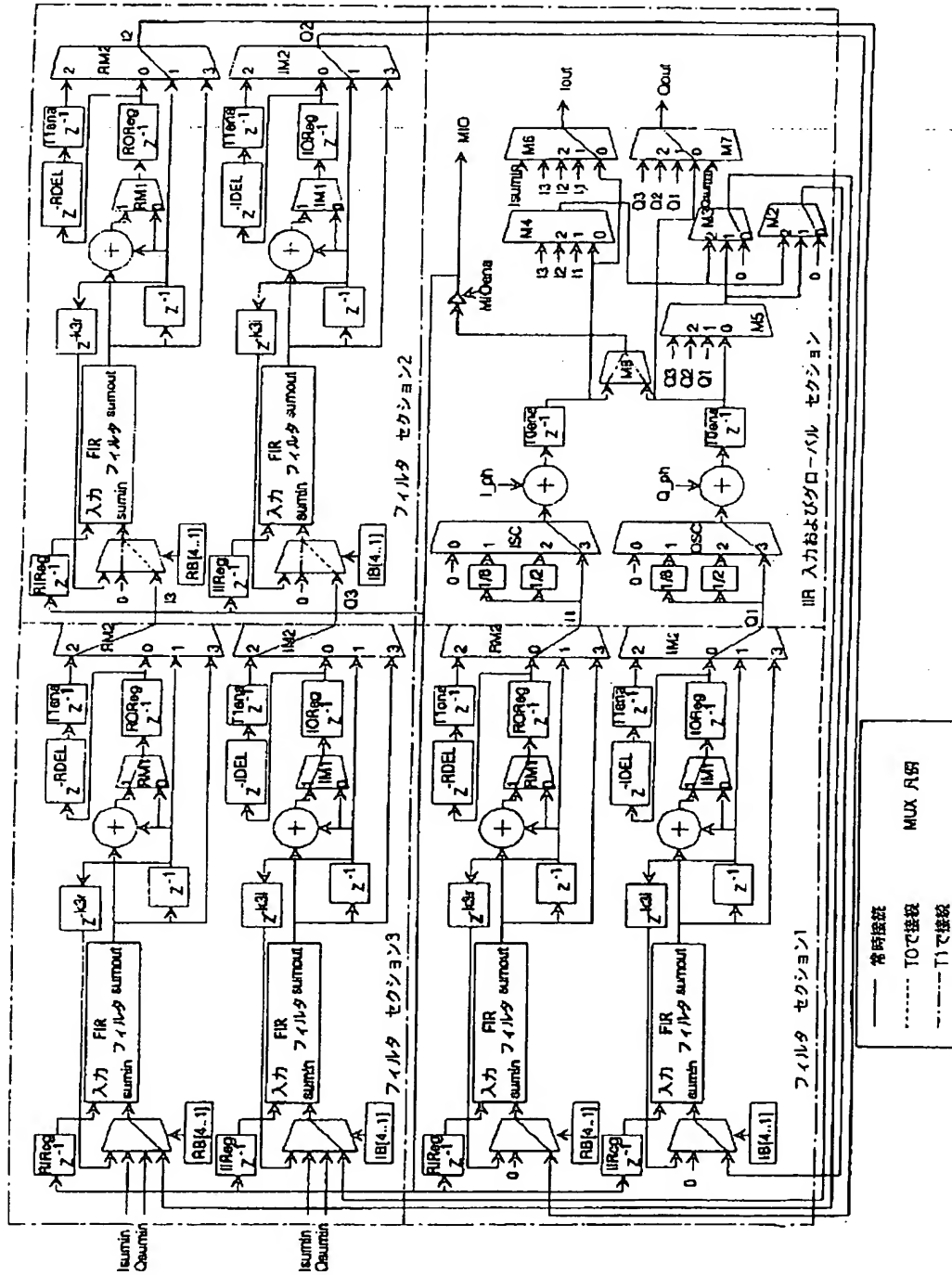


【図7】

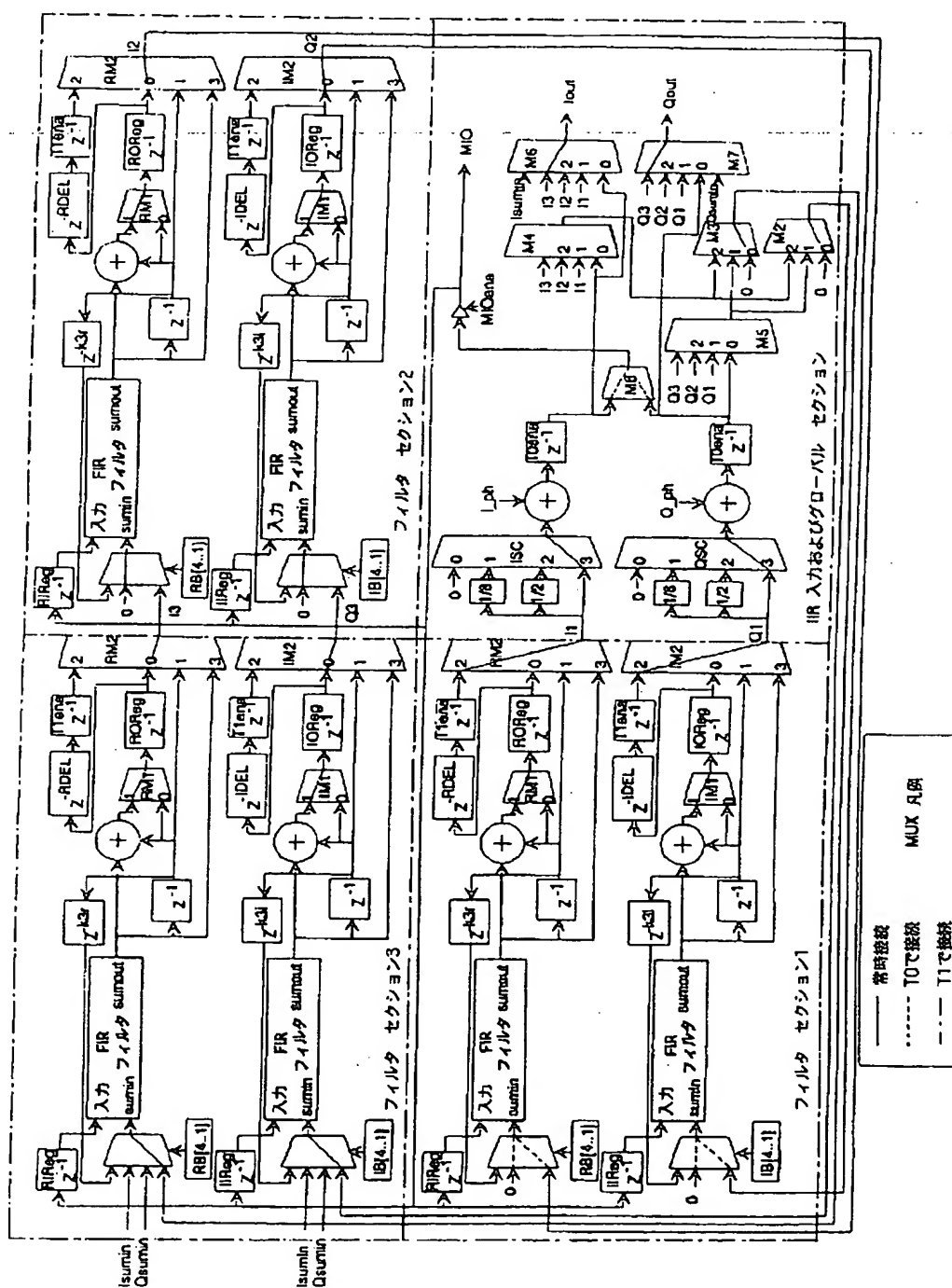




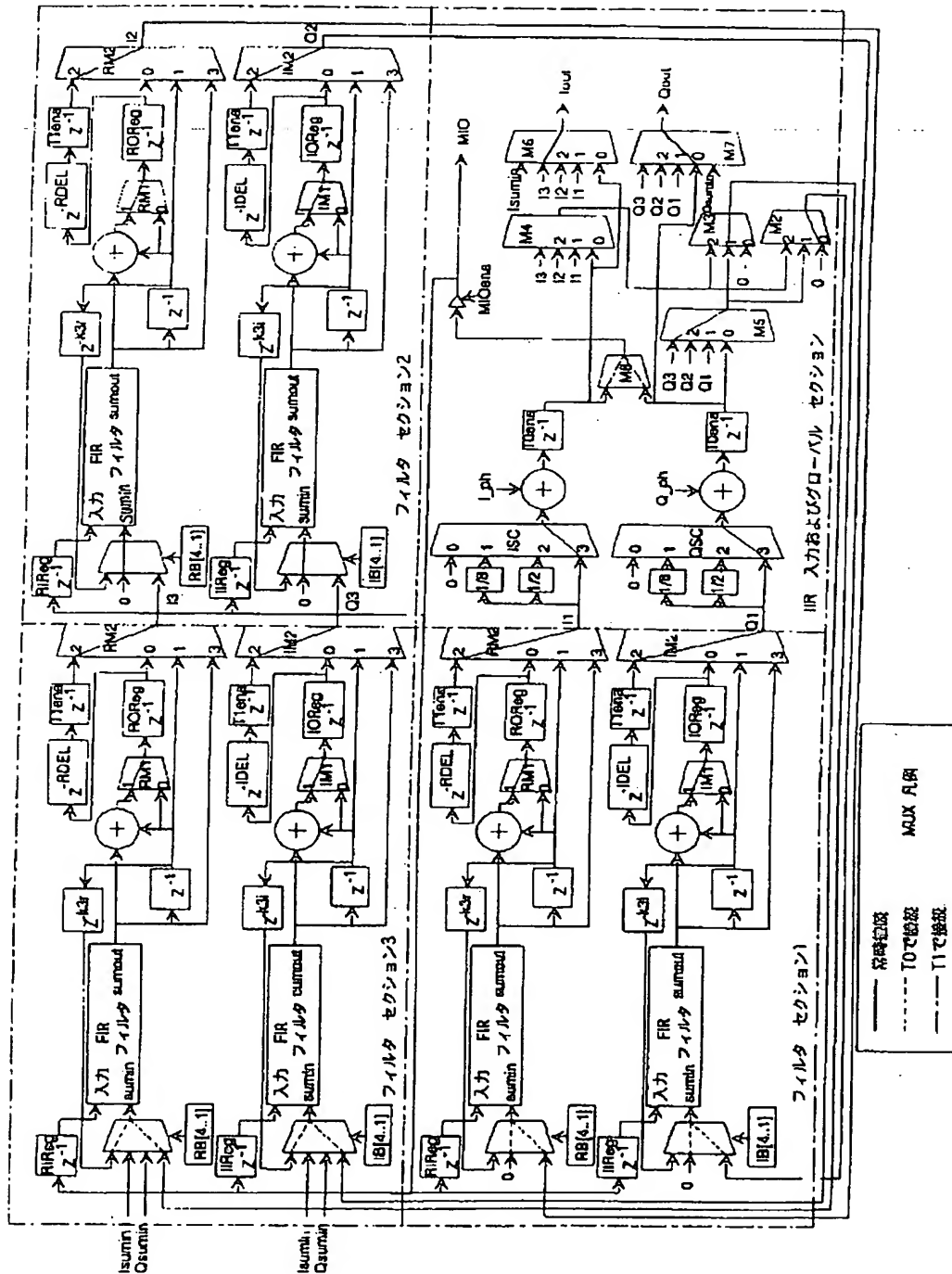
【図9】



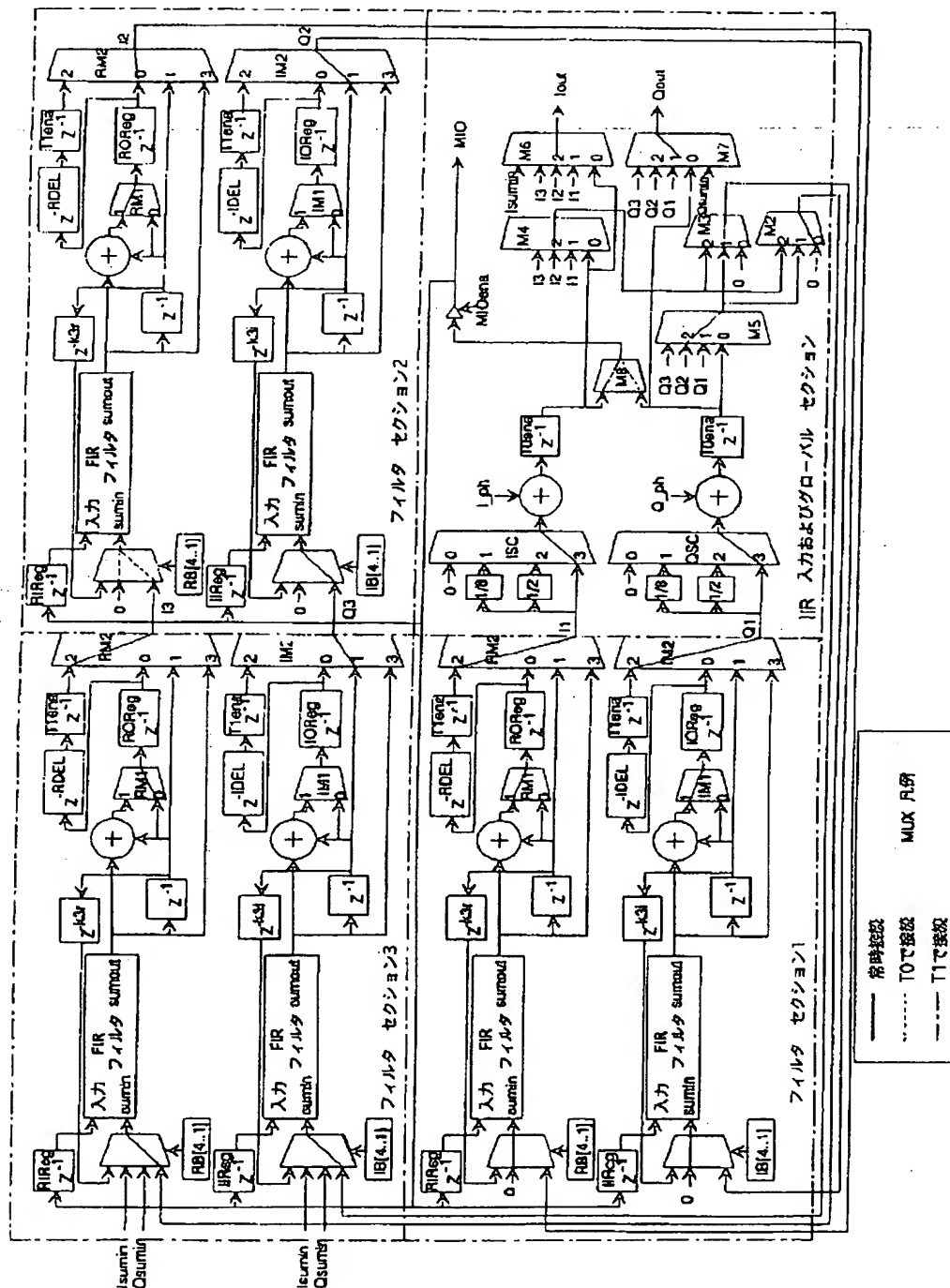
【図10】



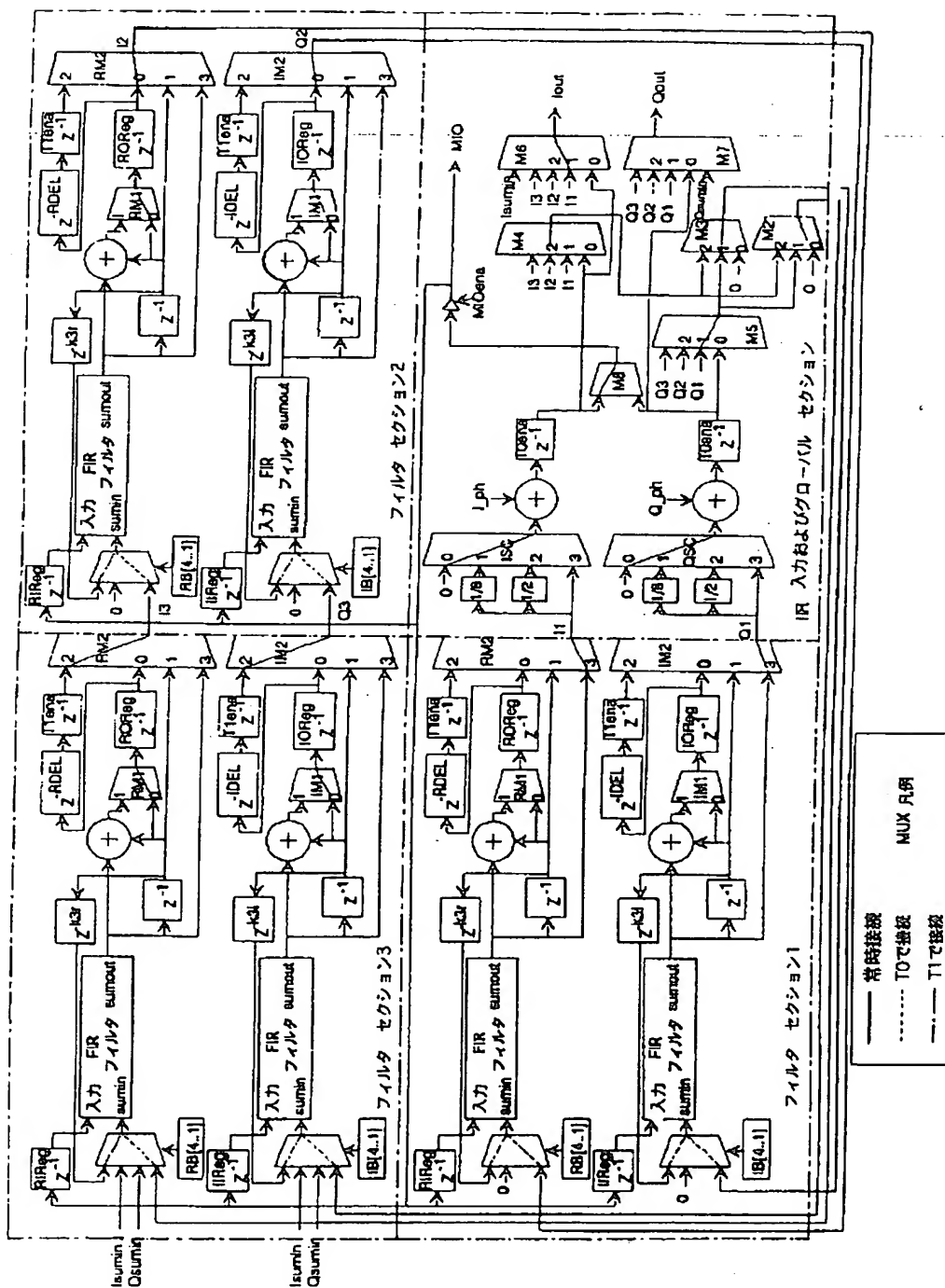
【図11】



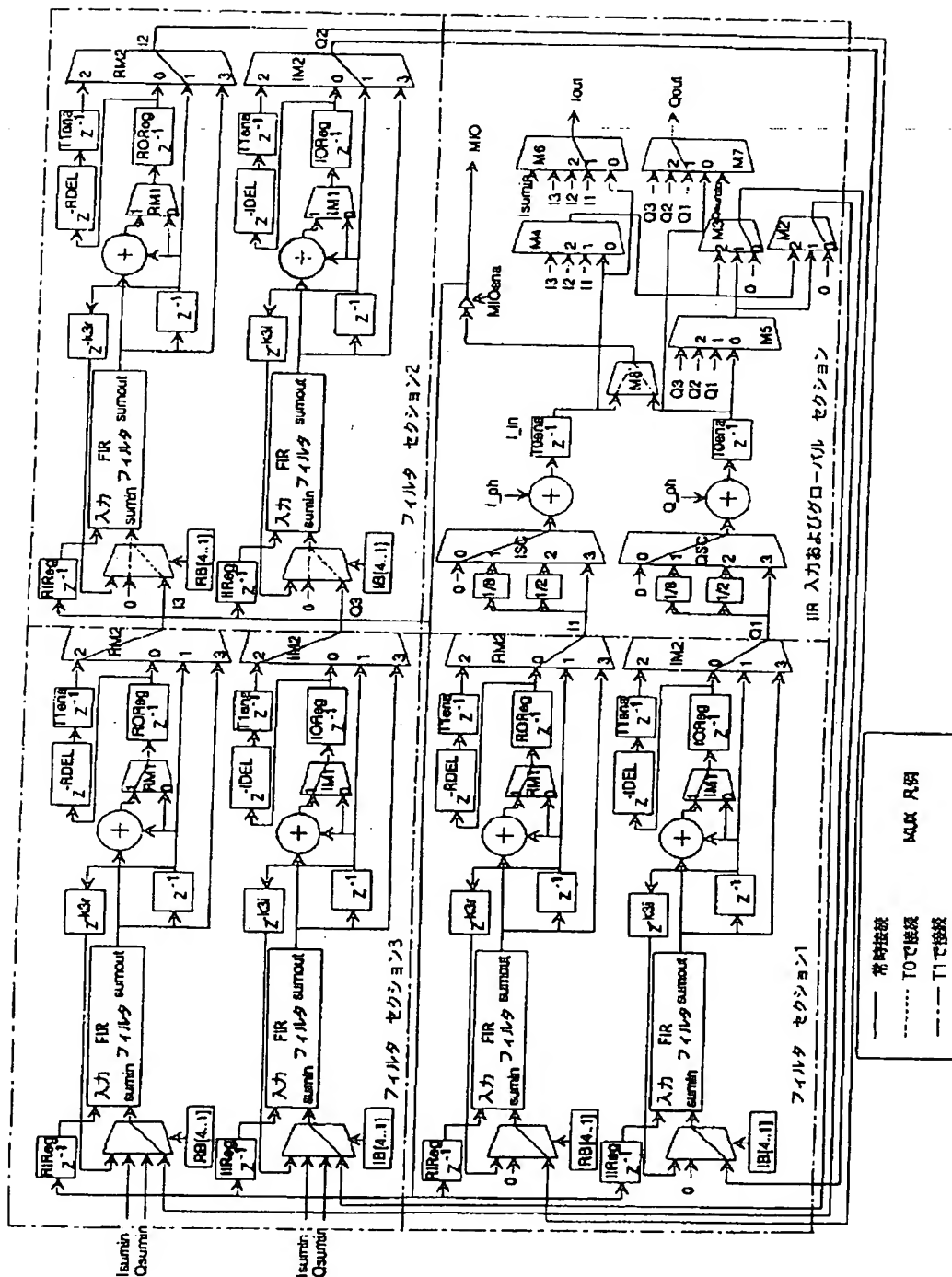
【図12】



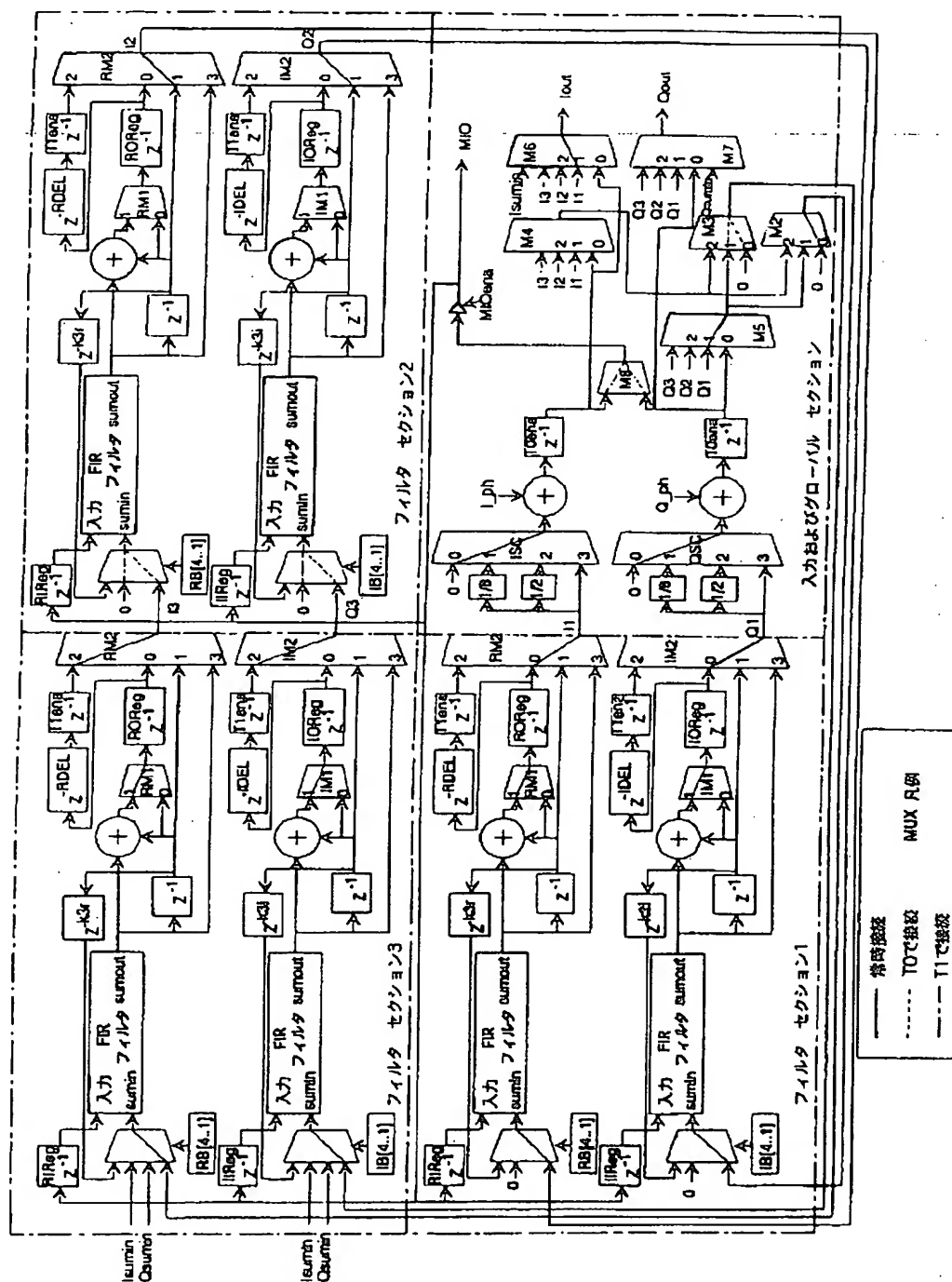
【図13】



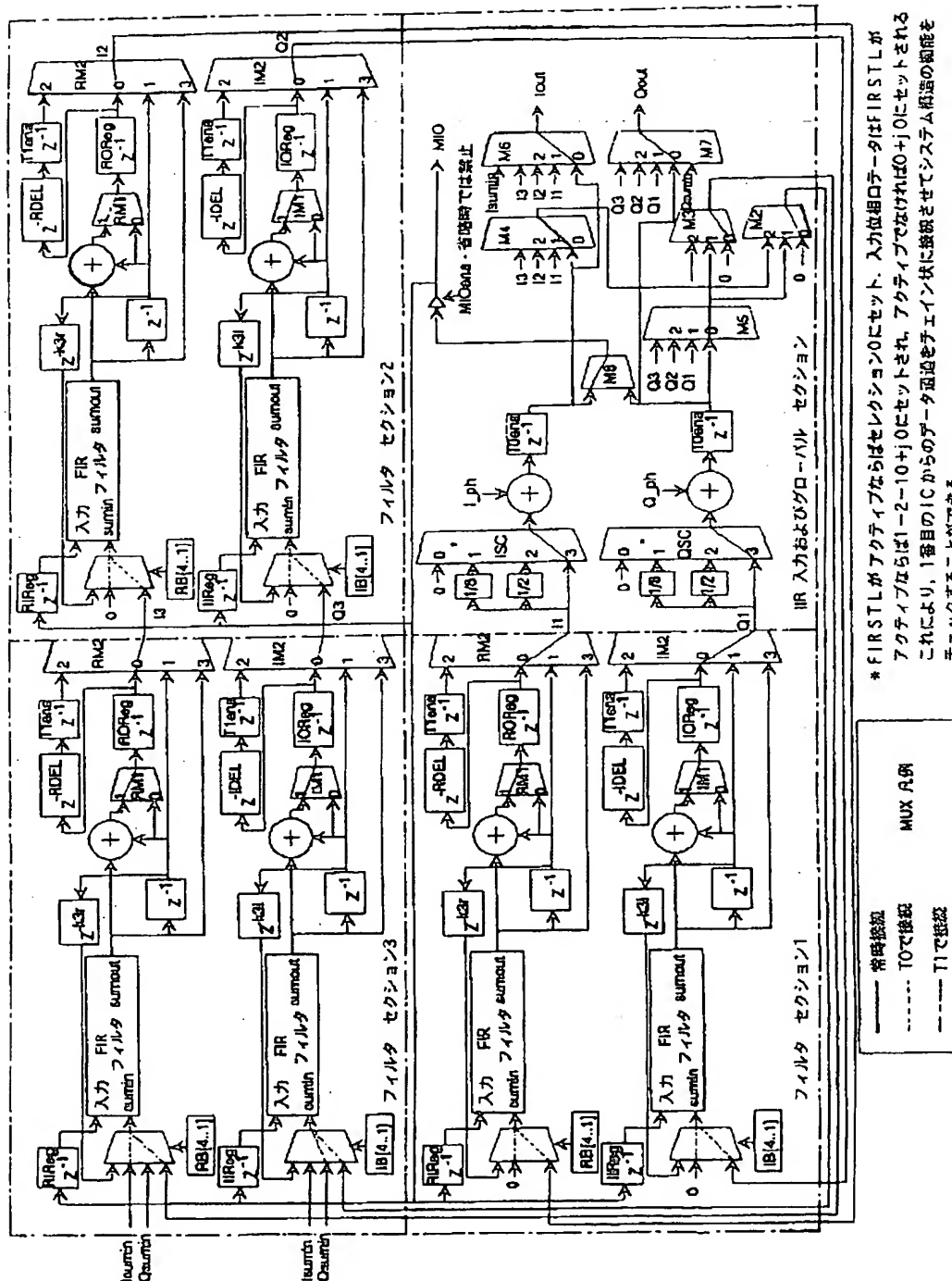
【図14】



【図15】



【図16】



* FIRSTLがアクティブならばセクション0にセット。入力位相ロータはFIRSTLがアクティブならば1-2-10+0にセットされ、アクティブでなければ0+0にセットされる。これにより、1番目のICからのデータ遅延をチャイエン状に接続させてシステム回路の機能をチェックすることができる。